

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

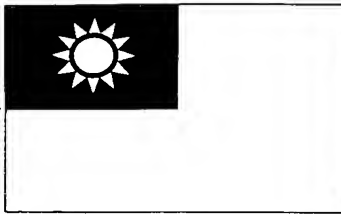
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 12 月 31 日
Application Date

申請案號：091138133
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 2 月 17 日
Issue Date

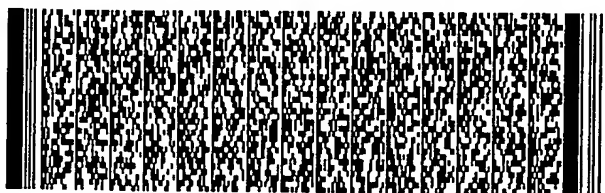
發文字號：09220146910
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	檢測電路板信號傳輸品質之方法及裝置
	英 文	Method and Device for Determining Signal Transmission Quality of Circuit Board
二、 發明人 (共1人)	姓 名 (中文)	1. 彭習之
	姓 名 (英文)	1. His-Chih Peng
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1. 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA TECHNOLOGIES, INC.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Cher Wang



四、中文發明摘要 (發明名稱：檢測電路板信號傳輸品質之方法及裝置)

本案係關於一種檢測電路板上信號傳輸品質之方法及裝置，其係藉由直接設置於一電路板上之一信號傳輸品質檢測裝置，因應由一來源元件產生之一輸出測試信號經該電路板而傳遞至一目的元件後因信號反射及干擾作用而所形成之電準位變化，以與一第一及第二參考電準位進行比較，並得致一比較結果，俾判斷該電路板所能提供之信號傳輸品質；此外，亦可因應該比較結果以決定是否自動調整輸出測試信號之信號變動率(slew rate)。

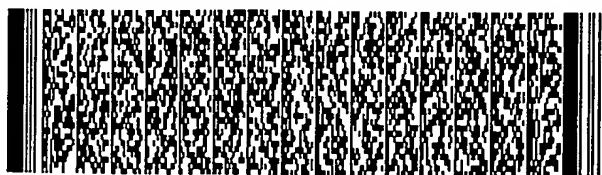
伍、(一)、本案代表圖為：第四圖

(二)、本案代表圖之元件代表符號簡單說明：

來源晶片	11	核心邏輯電路	111
測試信號輸出電路	1111		
第一及第二暫存器	1112、1113		
判斷裝置	1114	輸出緩衝電路	112
可調整信號變動率之輸出緩衝器	1121		

六、英文發明摘要 (發明名稱：Method and Device for Determining Signal Transmission Quality of Circuit Board)

A method and a device for determining the signal transmission quality of a circuit board are disclosed. An output test signal is generated by a source device and transmitted to a destination device via the circuit board. A signal transmission quality detector directly disposed on the circuit board compares the electric level change of the output test signal, resulting from



四、中文發明摘要 (發明名稱：檢測電路板信號傳輸品質之方法及裝置)

輸入緩衝器 1122

電路板信號傳輸品質檢測裝置 113

第一及第二比較器 1131、1132

第一及第二計數器 1133、1134

輸出測試信號 S1 原始測試信號 S10

第一及第二比較信號 S2、S3

第一及第二計數值 S4、S5

第一及第二預定計數值 S6、S7

變動率調整信號 S8 第一參考電準位 Hi

第二參考電準位 Lo

目的晶片 12 跡線 13

六、英文發明摘要 (發明名稱：Method and Device for Determining Signal Transmission Quality of Circuit Board)

signal reflection and interference, with a first and a second reference levels to obtain a comparing result. According to the comparing result, the signal transmission quality of the circuit board is determined, and a slew rate may optionally be adjusted.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域：

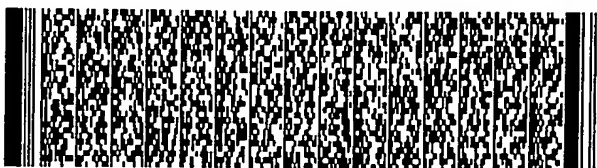
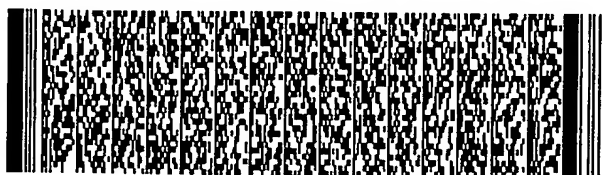
本案係關於一種檢測信號傳輸品質之方法與裝置，尤指一種應用於檢測電路板上信號傳輸品質之方法及裝置。

先前技術：

對於任一系統中之各種電路裝置而言，將其製作於單一晶片之整合做法，無疑是可以確實達到降低該系統之生產成本與提高信號傳輸可靠度，因此，單晶片系統(System on a Chip, SoC)已然成為未來前瞻的設計主流。

惟，就目前系統整合設計之發展程度而言，尚無法完全達到上述SoC的目標，因此，將系統區分成數個功能不同的電路區塊或晶片，並以電路板(Circuit Board)加以整合於一起，俾使電路板作為各電路區塊或晶片間信號傳輸之平台，仍是目前系統整合設計之常用做法。

由於電路板本身之特性，包括有：跡線(trace)(即為信號傳輸之路徑)所使用之材質種類、跡線長度、跡線寬度、跡線均勻度、跡線彼此間之信號干擾、及跡線是否轉彎等等，皆會嚴重影響到信號傳輸之品質，並進而影響到系統整合之效能，因此，檢測各電路區塊或晶片於包括該跡線之電路板上所產生之信號傳輸波形是否符合預期，即是用以判斷系統整合設計是否能成功的重要因素之一。

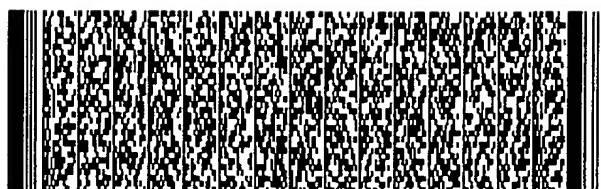


五、發明說明 (2)

以目前習知系統整合設計流程為例，通常是先行將已獨立受測完畢且品質確認無誤之各電路區塊或晶片，出貨予下游系統廠商前以一電路板來進行整合動作，之後，選定某一來源晶片以產生輸出一輸出測試信號，並透過人工使用外部信號波形量測工具來檢測該輸出測試信號經由該跡線而傳輸至一特定目的晶片後，因信號反射及干擾作用而產生信號波形變動之劇烈程度，俾確認該跡線所能提供之信號傳輸品質。惟，此等以人工進行信號檢測之方式，對於時間與人力而言，皆是一大負擔。況且，一旦對於各電路區塊或晶片間之信號傳輸品質要求提高時，勢必要對於每一整合有各電路區塊或晶片之電路板進行逐一檢測，其所浪費之時間與成本將是十分龐大。

為進一步說明上述以使用外部信號波形量測工具來檢測電路板信號傳輸品質之做法，茲請配合參閱第一圖以及第二圖(a)~(c)所示者；其中，圖一係為設於一電路板10之各電路元件間之信號傳輸示意圖。於圖一中，該電路板10上至少設置有來源晶片11及目的晶片12；其中，該來源晶片11用以產生一輸出測試信號S1，並經由該電路板10所提供之一跡線13(例如，為一銅箔金屬導線)而傳輸至該目的晶片12處。

由於該輸出測試信號S1傳輸至該目的晶片12處後，會因信號反射及干擾作用而於電準位轉態期間形成電準位變動現象(例如，形成信號疊加現象)，且該跡線13對於信號傳輸而言係形成一種電路阻抗，是以，一旦該跡線13所能



五、發明說明 (3)

提供之電路傳輸阻抗匹配十分不良，則以外部信號波形量測工具檢測該輸出測試信號S1時，將發現其於轉態期間所產生的電準位變動會十分地明顯。

申言之，請參閱第二圖(a)，其係為圖一中該來源晶片11所產生之該輸出測試信號S1尚未經該跡線13以傳輸至該目的晶片12前之波形示意圖。於圖二(a)中，當該輸出測試信號S1波形之電準位較一第一參考電準位Hi為高時，方視為處於高電準位狀態，如該輸出測試信號S1波形之電準位較一第二參考電準位Lo為低時，則視為處於低電準位狀態。另外，標示Tr1者，表示該輸出測試信號S1波形處於一電準位轉態期間。

再則，請參閱第二圖(b)，其係為圖一中該輸出測試信號S1經該跡線13以傳輸至該目的晶片12後之理想波形示意圖。即，如果該跡線13對於該輸出測試信號S1之信號傳輸形成一種理想的電路阻抗匹配，此時受到信號反射及干擾作用所影響之該輸出測試信號S1，其於電準位轉態期間Tr2便應會出現如圖二(b)所示之理想的信號疊加現象。

惟，一旦該跡線13對於該輸出測試信號S1之信號傳輸形成一種不良的電路阻抗匹配時，則將如第二圖(c)所示圖一中該輸出測試信號S1經該跡線13以傳輸至該目的晶片12後之實際波形示意圖。即，受到信號反射及干擾作用所影響之該輸出測試信號S1，於電準位轉態期間Tr3，其電準位之變動將會明顯地劇烈變動；例如，於時間t2、t4時兩度高於該第一參考電準位Hi，且於時間t1、t3時兩度低於該



五、發明說明 (4)

第二參考電準位Lo。易言之，此等結果顯示對於欲利用該輸出測試信號S1之電路區塊或晶片而言，於電準位之判讀上顯將易發生混淆、錯誤，並進而可能產生一連串的誤動作。

提出本案的目的之一，係希望提供一種可於不必透過人工使用外部信號波形量測工具，即能對電路板上的傳輸信號之波形進行檢測，俾快速判斷出電路板的信號傳輸品質之方法與裝置。

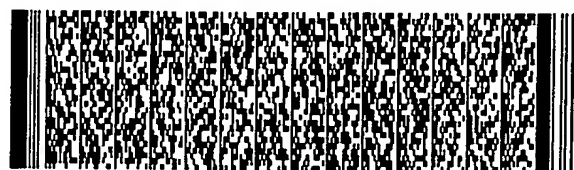
提出本案的另一目的，亦係希望提供一種可依據所檢測到之電路板信號傳輸品質訊息，俾調整輸出信號之變動率(slew rate)之方法與裝置。

發明內容：

本案係關於一種檢測電路板信號傳輸品質之方法，包括下列步驟：產生一輸出測試信號，並經由一跡線(trace)而傳輸至一目的元件處；以及輸入一第一參考電準位，以與波形產生變動之該輸出測試信號進行一第一電準位比較程序，並得致一第一計數值，俾據以判斷該跡線之信號傳輸品質。

依據本案上述之構想，其中該輸出測試信號係可由一來源元件所產生。

依據本案上述之構想，其中該來源元件與該目的元件係皆為設於一包括有該跡線之電路板上之晶片。



五、發明說明 (5)

依據本案上述之構想，其中該第一電準位比較程序係指進行比較該輸出測試信號之電準位與該第一參考電準位間之電準位大小。

依據本案上述之構想，其中該第一計數值係為計數該輸出測試信號之電準位變化高於該第一參考電準位之次數之計數值。

依據本案上述之構想，其中該方法更包括下列步驟：比較該第一計數值與一第一預定計數值間之大小，以於該第一計數值大於該第一預定計數值時，產生一變動率 (slew rate) 調整信號，以調整該輸出測試信號之信號變動率。

依據本案上述之構想，其中該方法更包括下列步驟：輸入一第二參考電準位，以與波形產生變動之該輸出測試信號進行一第二電準位比較程序，並得致一第二計數值，俾據以判斷該跡線之信號傳輸品質。

依據本案上述之構想，其中該第二電準位比較程序係指進行比較該輸出測試信號之電準位與該第二參考電準位間之電準位大小。

依據本案上述之構想，其中該第二計數值係為計數該輸出測試信號之電準位變化低於該第二參考電準位之次數之計數值。

依據本案上述之構想，其中該方法更包括下列步驟：比較該第二計數值與一第二預定計數值間之大小，以於該第二計數值大於該第二預定計數值時，產生一變動率調整



五、發明說明 (6)

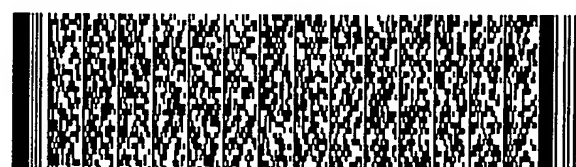
信號，以調整該輸出測試信號之信號變動率。

本案亦係關於一種電路板信號傳輸品質檢測裝置，設於具有一核心邏輯電路與一輸出緩衝電路之來源元件之內部，該裝置包括：一第一比較器，電連接於該輸出緩衝電路、一跡線(trace)以及與該跡線相電連接之一目的元件，該第一比較器係用以輸入一第一參考電準位以及一輸出測試信號，並產生輸出一第一比較信號；其中，該輸出測試信號係由該輸出緩衝電路所產生且其經該跡線而傳輸至該目的元件後，會因信號反射及干擾作用而造成波形變動現象；以及一第一計數器，電連接於該第一比較器與該核心邏輯電路之間，該第一計數器係用以輸入並因應該第一比較信號，以遂行計數動作並產生輸出一第一計數值至該核心邏輯電路中，俾供該核心邏輯電路據以判斷該跡線之信號傳輸品質。

依據本案上述之構想，其中該來源元件及該目的元件係皆可為設於一包括有該跡線之電路板上之晶片。

依據本案上述之構想，其中該第一計數值係為計數該輸出測試信號之電準位變化高於該第一參考電準位之次數之計數值。

依據本案上述之構想，其中更包括：一第二比較器，電連接於該輸出緩衝電路、該跡線以及該目的元件，該第二比較器係用以輸入一第二參考電準位以及該輸出測試信號，並產生輸出一第二比較信號；以及一第二計數器，電連接於該第二比較器與該核心邏輯電路之間，該第二計數



五、發明說明 (7)

器係用以輸入並因應該第二比較信號，以遂行計數動作並產生輸出一第二計數值至該核心邏輯電路中，俾供該核心邏輯電路據以判斷該跡線之信號傳輸品質。

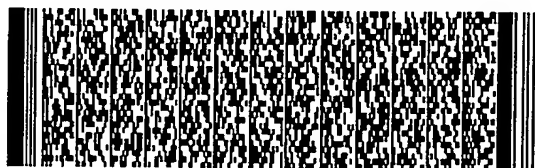
依據本案上述之構想，其中該第二計數值係為計數該輸出測試信號之電準位變化低於該第二參考電準位之次數之計數值。

依據本案上述之構想，其中該核心邏輯電路係可包括一測試信號產生電路，其係用以產生一原始測試信號至該輸出緩衝電路，以使該輸出緩衝電路因應產生該輸出測試信號。

依據本案上述之構想，其中該核心邏輯電路更包括：一第一及一第二暫存器，其係以輸入並儲存該第一及第二計數值；以及一判斷裝置，電連接於該第一及第二暫存器，該判斷裝置係可判斷並比較該第一計數值與一第一預定計數值間之大小，抑或該第二計數值與一第二預定計數值間之大小，俾據以判斷該跡線之信號傳輸品質。

依據本案上述之構想，其中於該第一計數值大於該第一預定計數值及/或該第二計數值大於該第二預定計數值時，該判斷裝置更可產生輸出一變動率(slew rate)調整信號至該輸出緩衝電路，以供該輸出緩衝電路調整欲輸出至該目的元件之該輸出測試信號之信號變動率。

依據本案上述之構想，其中該輸出緩衝電路包括一可調整信號變動率之輸出緩衝器，電連接於該測試信號產生電路、該判斷裝置以及該跡線，其係用以輸入該原始測試



五、發明說明 (8)

信號與該變動率調整信號，且因應該變動率調整信號，以調整所欲輸出之該輸出測試信號之信號變動率。

本案得藉由下列圖式及詳細說明，俾得一更深入之了解：

圖式簡單說明：

第一圖：其係為設於一電路板之各電路元件間之信號傳輸示意圖。

第二圖(a)：其係為圖一中該來源元件所產生之該輸出測試信號尚未經該跡線以傳輸至該目的晶片前之波形示意圖。

第二圖(b)：其係為圖一中該輸出測試信號經該跡線以傳輸至該目的晶片後之理想波形示意圖。

第二圖(c)：其係為圖一中該輸出測試信號經該跡線以傳輸至該目的晶片後之實際波形示意圖。

第三圖：其係為本案之一較佳實施流程之步驟示例圖。

第四圖：其係為本案之一較佳實施裝置之結構示例圖。

圖式中所包含之各元件列示如下：

第一圖、第二圖(a)~(c)：

電路板 10

來源晶片 11

目的晶片 12

跡線 13



五、發明說明 (9)

輸出測試信號 S1

第一參考電準位 Hi

第二參考電準位 Lo

輸出測試信號S1之電準位轉態期間 Tr1、Tr2

、Tr3

第三～四圖：

來源晶片 11

核心邏輯電路 111

測試信號輸出電路 1111

第一及第二暫存器 1112、1113

判斷裝置 1114

輸出緩衝電路 112

可調整信號變動率之輸出緩衝器 1121

輸入緩衝器 1122

電路板信號傳輸品質檢測裝置 113

第一及第二比較器 1131、1132

第一及第二計數器 1133、1134

輸出測試信號 S1

原始測試信號 S10

第一及第二比較信號 S2、S3

第一及第二計數值 S4、S5

第一及第二預定計數值 S6、S7

變動率調整信號 S8

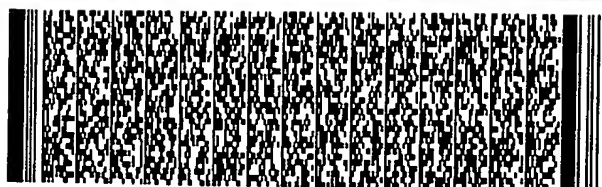
第一參考電準位 Hi

第二參考電準位 Lo

目的晶片 12

跡線 13

發明實施方式：



五、發明說明 (10)

由於習知以信號波形量測工具對信號傳輸路徑進行信號傳輸品質檢測之做法，對於時間與人力是一大負擔，因此，本案擬提出一種於電路板上直接設置電路板信號傳輸品質檢測裝置，並提出一種檢測電路板信號傳輸品質之方法。

首先，茲提出本案之一較佳實施方法。請參閱第三圖，其係為本案之一較佳實施方法之流程示例圖，其詳細步驟如下所述：

步驟(a)：開始；

步驟(b)：產生一輸出測試信號，並經由一跡線(trace)而傳輸至一目的晶片處；其中，該輸出測試信號係可由設於一來源晶片內部中之一電路板信號傳輸品質檢測裝置所產生；

步驟(c)：輸入一第一參考電準位與因信號反射及干擾作用而造成波形產生變動之該輸出測試信號，以進行一第一電準位比較程序，並得致一第一計數值；

其中，該第一電準位比較程序係指進行比較該輸出測試信號之電準位與該第一參考電準位間之電準位大小，而該第一計數值係為計數該輸出測試信號之電準位變化高於該第一參考電準位之次數之計數值；當然，該第一參考電準位係用以判斷該輸出測試信號是否處於高電準位狀態之臨界參考電壓；

步驟(d)：輸入一第二參考電準位與因信號反射及干



五、發明說明 (11)

擾作用而造成波形產生變動之該輸出測試信號，以進行第二電準位比較程序，並得致一第二計數值；

其中，該第二電準位比較程序係指進行比較該輸出測試信號之電準位與該第二參考電準位間之電準位大小，而該第二計數值係為計數該輸出測試信號之電準位變化低於該第二參考電準位之次數之計數值；當然，該第二參考電準位係用以判斷該輸出測試信號是否處於低電準位狀態之臨界參考電壓；

步驟(e)：比較該第一計數值與一第一預定計數值間之大小，及/或該第二計數值與一第二預定計數值間之大小，以判斷得知該跡線之信號傳輸品質是否良好；以及

步驟(f)：於該第一計數值大於該第一預定計數值，及/或該第二計數值大於該第二預定計數值時，表示該跡線之信號傳輸品質不佳，故可考慮產生一變動率調整信號，以調整該輸出測試信號之信號變動率，且重複執行該步驟(b)；

在改變該輸出測試信號之信號變動率之後，可再度讀取該第一或二計數值，以決定是否須進一步調整變動率；以及

步驟(g)：結束。

當然，為以另一角度來理解本案之實施概念，請參閱第四圖，其係為本案之一較佳實施裝置之結構示例圖，並請配合參閱第一～第三圖。

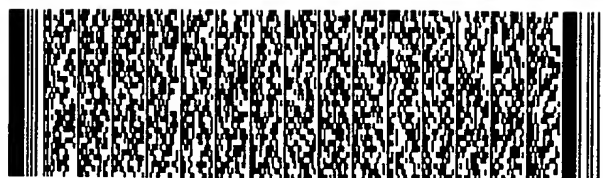


五、發明說明 (12)

本案所揭示之一較佳做法，是將一電路板信號傳輸品質檢測裝置113，直接設於電路區塊或晶片內部(即圖一及圖四所示之該來源晶片11中)。令該來源晶片11進入測試模式(test mode)，以於該測試模式中直接檢測出該跡線13所能提供之信號傳輸品質，俾減少習知以人工進行檢測所需之時間，並可因應檢測之結果而自動進行調整輸出信號之變化率(slew rate)，以符合該跡線13之實際傳輸特性。

進一步而論，本實施例所示之該電路板信號傳輸品質檢測裝置113，係可設於具有一核心邏輯電路111與一輸出緩衝電路112之該來源晶片11之內部；其中，該核心邏輯電路111係可包括一測試信號產生電路1111，其係用於該來源晶片11進入測試模式後產生一原始測試信號S10以輸出至該輸出緩衝電路112。另外，設於該輸出緩衝電路112中之一可調整信號變動率之輸出緩衝器1121，係可因應原始測試信號S10而產生輸出一輸出測試信號S1，且經由該跡線13而傳輸至該目的晶片12處。

再則，該裝置113係可包括：一第一及第二比較器1131、1132與一第一及第二計數器1133、1134；其中，該第一及第二比較器1131、1132係皆電連接於該輸出緩衝電路112、該跡線13與該目的晶片12，以輸入受到信號反射及干擾作用所影響之該輸出測試信號S1，並將其分別與另外輸入之該第一參考電準位Hi、該第二參考電準位Lo進行電準位比較，以分別產生輸出一第一及第二比較計數值



五、發明說明 (13)

S2、S3。之後，因應該第一及第二比較計數值S2、S3，第一及第二計數器1133、1134係可分別因應產生輸出一第一與第二計數值S4、S5。

較佳者，該核心邏輯電路111更可包括一第一及一第二暫存器1112、1113與一判斷裝置1114；其中，該第一及第二暫存器1112、1113係用以儲存來自該裝置113處之該第一與第二計數值S4、S5，且透過該判斷裝置1114比較該第一計數值S4與一第一預定計數值S6(可預設於該判斷裝置1114內部)間之大小，且/或比較該第二計數值S5與一第二預定計數值S7(亦可預設於該判斷裝置1114內部)間之大小，即可立即得知該跡線13之實際傳輸特性，而不必如習知做法般尚需透過人工量測手段才能得知該跡線13之信號傳輸品質。在產生測試信號後之一預定期間後，亦可藉由I/O讀取方式，讀取該第一及第二暫存器1112、1113之計數值，以獲知信號傳輸品質。另外，亦可以可讀取式計數器來實施而省卻額外之暫存器，以供I/O讀取。

舉例而言，並請參閱第二圖(c)所示，因該輸出測試信號S1於該轉態期間Tr3，其電準位之變動很明顯地於時間t2、t4時兩度高於該第一參考電準位Hi，且於時間t1、t3時兩度低於該第二參考電準位Lo，因此，在時間t2、t4時，即可使該第一比較信號S2產生兩個計數脈波，且該第一計數器1133因應該第一比較信號S2，可以產生兩次計數動作，故該第一計數值S4應等於2；另一方面，在時間t1、t3時，因亦使該第二比較信號S3產生兩個計數脈波，



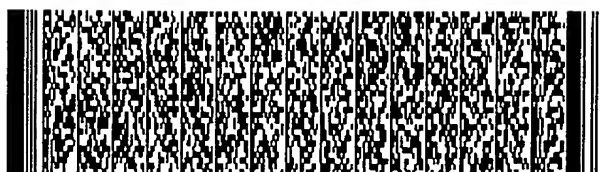
五、發明說明 (14)

故該第二計數器1134亦可因應該第二比較信號S3而產生兩次計數動作，亦即，該第二計數值S5應等於2。

設若，預設於該判斷裝置1114內部之該第一及第二預定計數值S6、S7分別設定為1及0，以表示可以允許或容忍之信號變動範圍時，藉由該判斷裝置1114對於該第一及第二預定計數值S6、S7，與該第一與第二計數值S4、S5間之比較動作，即可得知因該第一及第二預定計數值S6、S7此時皆高於該第一與第二計數值S4、S5，故判斷得知該跡線13所提供之信號傳輸品質不佳。

當然，該判斷裝置1114亦可因應比較之結果而決定是否調整該輸出測試信號S1之信號變動率，例如，當發現該第一與第二計數值S4、S5皆/或其中之一出現高於該第一及第二預定計數值S6、S7時，即必需降低該輸出測試信號S1之信號變動率；是以，該判斷裝置1114即可產生輸出一變動率調整信號S8至該可調整信號變動率之輸出緩衝器1121中，以改變欲輸出至該目的晶片12處之該輸出測試信號S1之信號變動率。其中，關於該可調整信號變動率之輸出緩衝器1121，其調整信號變動率之實際做法，係已為一習知手段，故在此不再予以贅述。舉例而言，該變動率調整信號S8係可為兩位元之控制信號，藉由產生00、01、10、11，以控制該輸出緩衝器1121產生具四種不同變動率之輸出測試信號S1。

綜上所述，本案顯可不必再如習知做法般需透過人工量測方式，而係可直接透過具有該電路板信號傳輸品質檢



五、發明說明 (15)

測裝置13之該來源晶片11，便可自動地檢測並得知該跡線13所能提供之信號傳輸品質，以及因應檢測之結果來決定是否調整輸出信號之變動率；是以，本案應為一極具產業價值之作。

本案得由熟習此技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。



圖式簡單說明

第一圖：其係為設於一電路板之各電路元件間之信號傳輸示意圖。

第二圖(a)：其係為圖一中該來源元件所產生之該輸出測試信號尚未經該跡線以傳輸至該目的晶片前之波形示意圖。

第二圖(b)：其係為圖一中該輸出測試信號經該跡線以傳輸至該目的晶片後之理想波形示意圖。

第二圖(c)：其係為圖一中該輸出測試信號經該跡線以傳輸至該目的晶片後之實際波形示意圖。

第三圖：其係為本案之一較佳實施流程之步驟示例圖。

第四圖：其係為本案之一較佳實施裝置之結構示例圖。

【圖號說明】

第一圖、第二圖(a)~(c)：

電路板 10

來源晶片 11

目的晶片 12

跡線 13

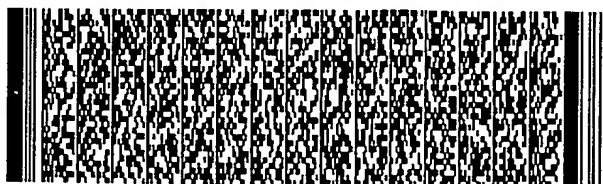
輸出測試信號 S1

第一參考電準位 Hi

第二參考電準位 Lo

輸出測試信號S1之電準位轉態期間 Tr1、Tr2

、Tr3



圖式簡單說明

第三～四圖：

來源晶片	11	核心邏輯電路	111
測試信號輸出電路	1111		
第一及第二暫存器	1112、1113		
判斷裝置	1114	輸出緩衝電路	112
可調整信號變動率之輸出緩衝器	1121		
輸入緩衝器	1122		
電路板信號傳輸品質檢測裝置	113		
第一及第二比較器	1131、1132		
第一及第二計數器	1133、1134		
輸出測試信號	S1	原始測試信號	S10
第一及第二比較信號	S2、S3		
第一及第二計數值	S4、S5		
第一及第二預定計數值	S6、S7		
變動率調整信號	S8		
第一參考電準位	Hi	第二參考電準位	Lo
目的晶片	12	跡線	13



六、申請專利範圍

1、一種檢測電路板信號傳輸品質之方法，包括下列步驟：

產生一輸出測試信號，並經由一跡線(trace)而傳輸至一目的元件處；以及

輸入一第一參考電準位，以與波形產生變動之該輸出測試信號進行一第一電準位比較程序，並得致一第一計數值，俾據以判斷該跡線之信號傳輸品質。

2、如申請專利範圍第1項所述之檢測電路板信號傳輸品質之方法，其中該輸出測試信號係可由一來源元件所產生。

3、如申請專利範圍第2項所述之檢測電路板信號傳輸品質之方法，其中該來源元件與該目的元件係皆為設於一包括有該跡線之電路板上之晶片。

4、如申請專利範圍第1項所述之檢測電路板信號傳輸品質之方法，其中該第一電準位比較程序係指進行比較該輸出測試信號之電準位與該第一參考電準位間之電準位大小。

5、如申請專利範圍第4項所述之檢測電路板信號傳輸品質之方法，其中該第一計數值係為計數該輸出測試信號之電準位變化高於該第一參考電準位之次數之計數值。

6、如申請專利範圍第5項所述之檢測電路板信號傳輸品質之方法，其中該方法更包括下列步驟：

比較該第一計數值與一第一預定計數值間之大小，以於該第一計數值大於該第一預定計數值時，產生一變動率(slew rate)調整信號，以調整該輸出測試信號之信號變動率。



六、申請專利範圍

7、如申請專利範圍第5項所述之檢測電路板信號傳輸品質之方法，其中該方法更包括下列步驟：

輸入一第二參考電準位，以與波形產生變動之該輸出測試信號進行一第二電準位比較程序，並得致一第二計數值，俾據以判斷該跡線之信號傳輸品質。

8、如申請專利範圍第7項所述之檢測電路板信號傳輸品質之方法，其中該第二電準位比較程序係指進行比較該輸出測試信號之電準位與該第二參考電準位間之電準位大小。

9、如申請專利範圍第8項所述之檢測電路板信號傳輸品質之方法，其中該第二計數值係為計數該輸出測試信號之電準位變化低於該第二參考電準位之次數之計數值。

10、如申請專利範圍第9項所述之檢測電路板信號傳輸品質之方法，其中該方法更包括下列步驟：

比較該第二計數值與一第二預定計數值間之大小，以於該第二計數值大於該第二預定計數值時，產生一變動率調整信號，以調整該輸出測試信號之信號變動率。

11、一種電路板信號傳輸品質檢測裝置，設於具有一核心邏輯電路與一輸出緩衝電路之來源元件之內部，該裝置包括：

一第一比較器，電連接於該輸出緩衝電路、一跡線(trace)以及與該跡線相電連接之一目的元件，該第一比較器係用以輸入一第一參考電準位以及一輸出測試信號，並產生輸出一第一比較信號；其中，該輸出測試信號係由該輸出緩衝電路所產生且其經該跡線而傳輸至該目的元件



六、申請專利範圍

後，會因信號反射及干擾作用而造成波形變動現象；以及

一第一計數器，電連接於該第一比較器與該核心邏輯電路之間，該第一計數器係用以輸入並因應該第一比較信號，以遂行計數動作並產生輸出一第一計數值至該核心邏輯電路中，俾供該核心邏輯電路據以判斷該跡線之信號傳輸品質。

12、如申請專利範圍第11項所述之電路板信號傳輸品質檢測裝置，其中該來源元件及該目的元件係皆可為設於一包括有該跡線之電路板上之晶片。

13、如申請專利範圍第11項所述之電路板信號傳輸品質檢測裝置，其中該第一計數值係為計數該輸出測試信號之電準位變化高於該第一參考電準位之次數之計數值。

14、如申請專利範圍第11項所述之電路板信號傳輸品質檢測裝置，其中更包括：

一第二比較器，電連接於該輸出緩衝電路、該跡線以及該目的元件，該第二比較器係用以輸入一第二參考電準位以及該輸出測試信號，並產生輸出一第二比較信號；以及

一第二計數器，電連接於該第二比較器與該核心邏輯電路之間，該第二計數器係用以輸入並因應該第二比較信號，以遂行計數動作並產生輸出一第二計數值至該核心邏輯電路中，俾供該核心邏輯電路據以判斷該跡線之信號傳輸品質。

15、如申請專利範圍第14項所述之電路板信號傳輸品質檢



六、申請專利範圍

測裝置，其中該第二計數值係為計數該輸出測試信號之電準位變化低於該第二參考電準位之次數之計數值。

16、如申請專利範圍第14項所述之電路板信號傳輸品質檢測裝置，其中該核心邏輯電路係可包括一測試信號產生電路，其係用以產生一原始測試信號至該輸出緩衝電路，以使該輸出緩衝電路因應產生該輸出測試信號。

17、如申請專利範圍第16項所述之電路板信號傳輸品質檢測裝置，其中該核心邏輯電路更包括：

一第一及一第二暫存器，其係以輸入並儲存該第一及第二計數值；以及

一判斷裝置，電連接於該第一及第二暫存器，該判斷裝置係可判斷並比較該第一計數值與一第一預定計數值間之大小，抑或該第二計數值與一第二預定計數值間之大小，俾據以判斷該跡線之信號傳輸品質。

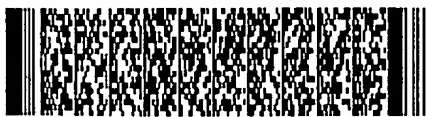
18、如申請專利範圍第17項所述之電路板信號傳輸品質檢測裝置，其中於該第一計數值大於該第一預定計數值及/或該第二計數值大於該第二預定計數值時，該判斷裝置更可產生輸出一變動率(slew rate)調整信號至該輸出緩衝電路，以供該輸出緩衝電路調整欲輸出至該目的元件之該輸出測試信號之信號變動率。

19、如申請專利範圍第18項所述之電路板信號傳輸品質檢測裝置，其中該輸出緩衝電路包括一可調整信號變動率之輸出緩衝器，電連接於該測試信號產生電路、該判斷裝置以及該跡線，其係用以輸入該原始測試信號與該變動率調



六、申請專利範圍

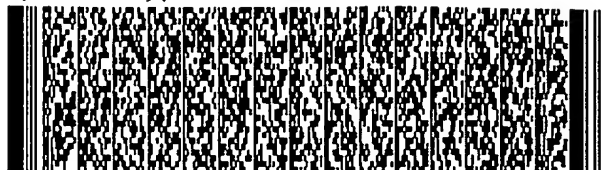
整信號，且因應該變動率調整信號，以調整所欲輸出之該輸出測試信號之信號變動率。



第 1/26 頁



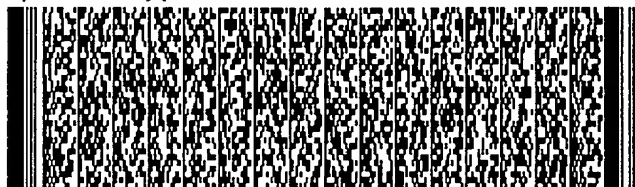
第 2/26 頁



第 2/26 頁



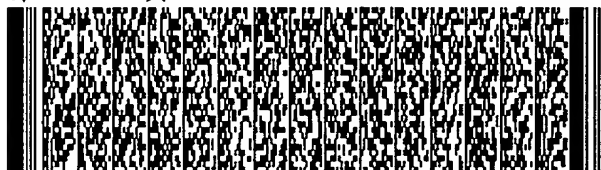
第 3/26 頁



第 4/26 頁



第 5/26 頁



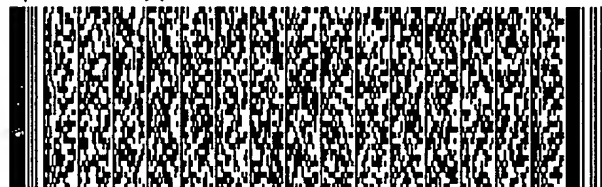
第 5/26 頁



第 6/26 頁



第 6/26 頁



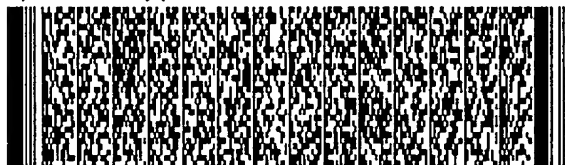
第 7/26 頁



第 7/26 頁



第 8/26 頁



第 8/26 頁



第 9/26 頁



第 10/26 頁



第 10/26 頁



第 11/26 頁



第 11/26 頁



第 12/26 頁



第 13/26 頁



第 14/26 頁



第 14/26 頁



第 15/26 頁



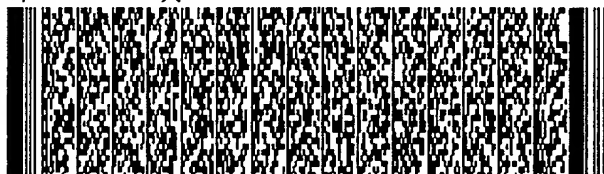
第 15/26 頁



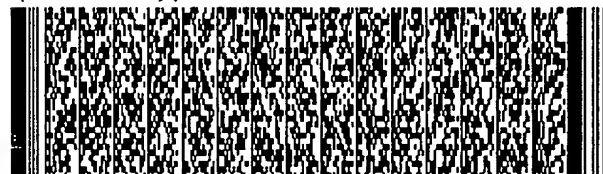
第 16/26 頁



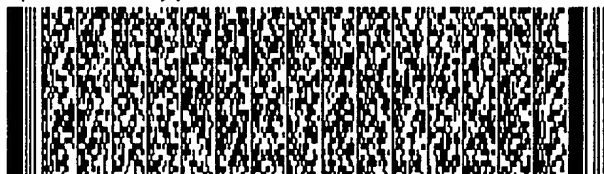
第 16/26 頁



第 17/26 頁



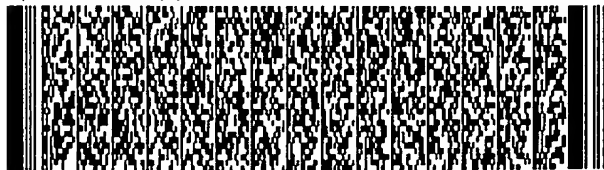
第 17/26 頁



第 18/26 頁



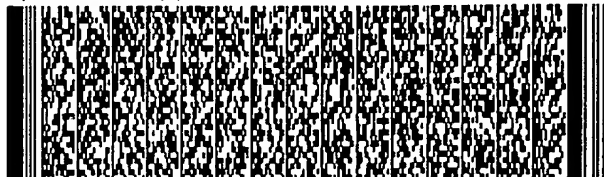
第 18/26 頁



第 19/26 頁



第 20/26 頁



第 21/26 頁



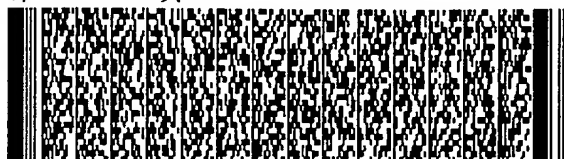
第 22/26 頁



第 22/26 頁



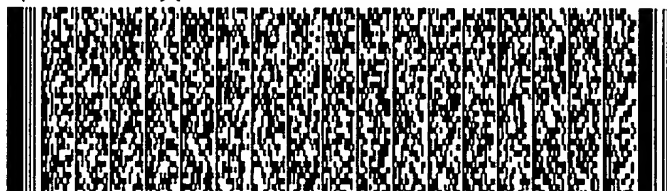
第 23/26 頁



第 23/26 頁



第 24/26 頁



第 25/26 頁

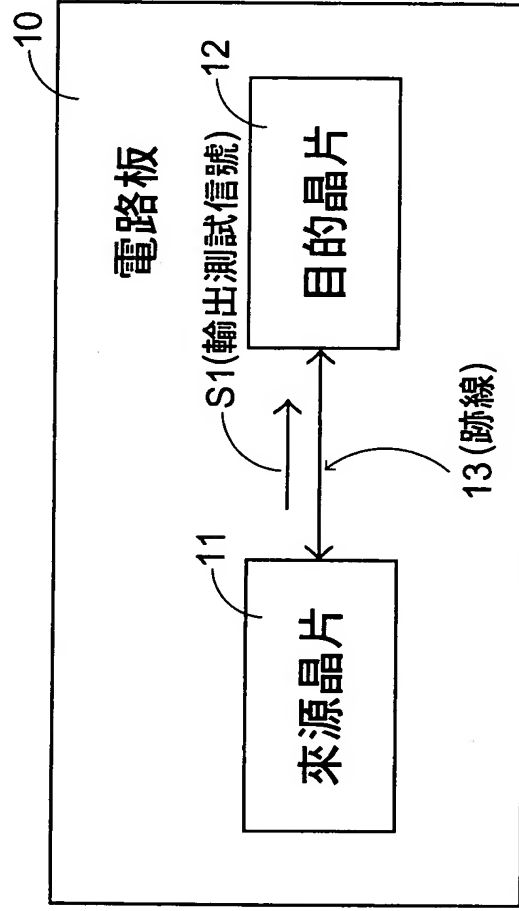


第 25/26 頁

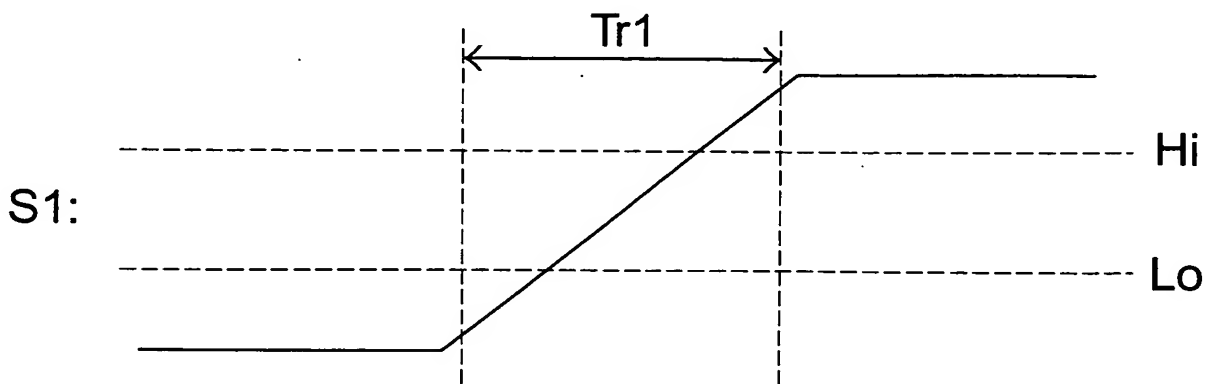


第 26/26 頁

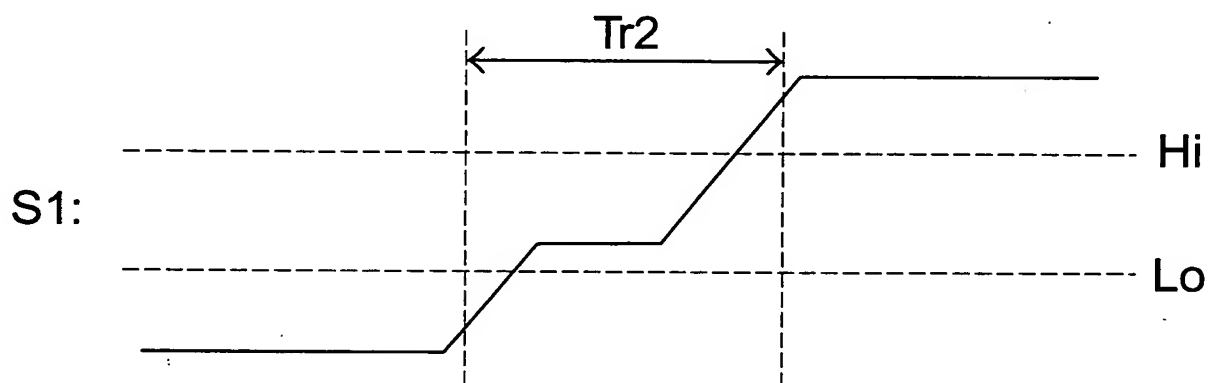




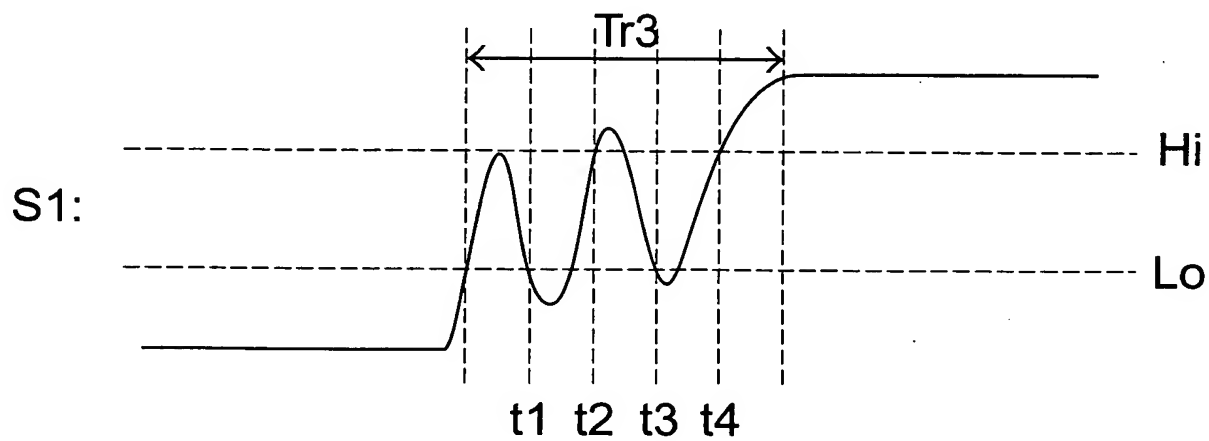
第一圖



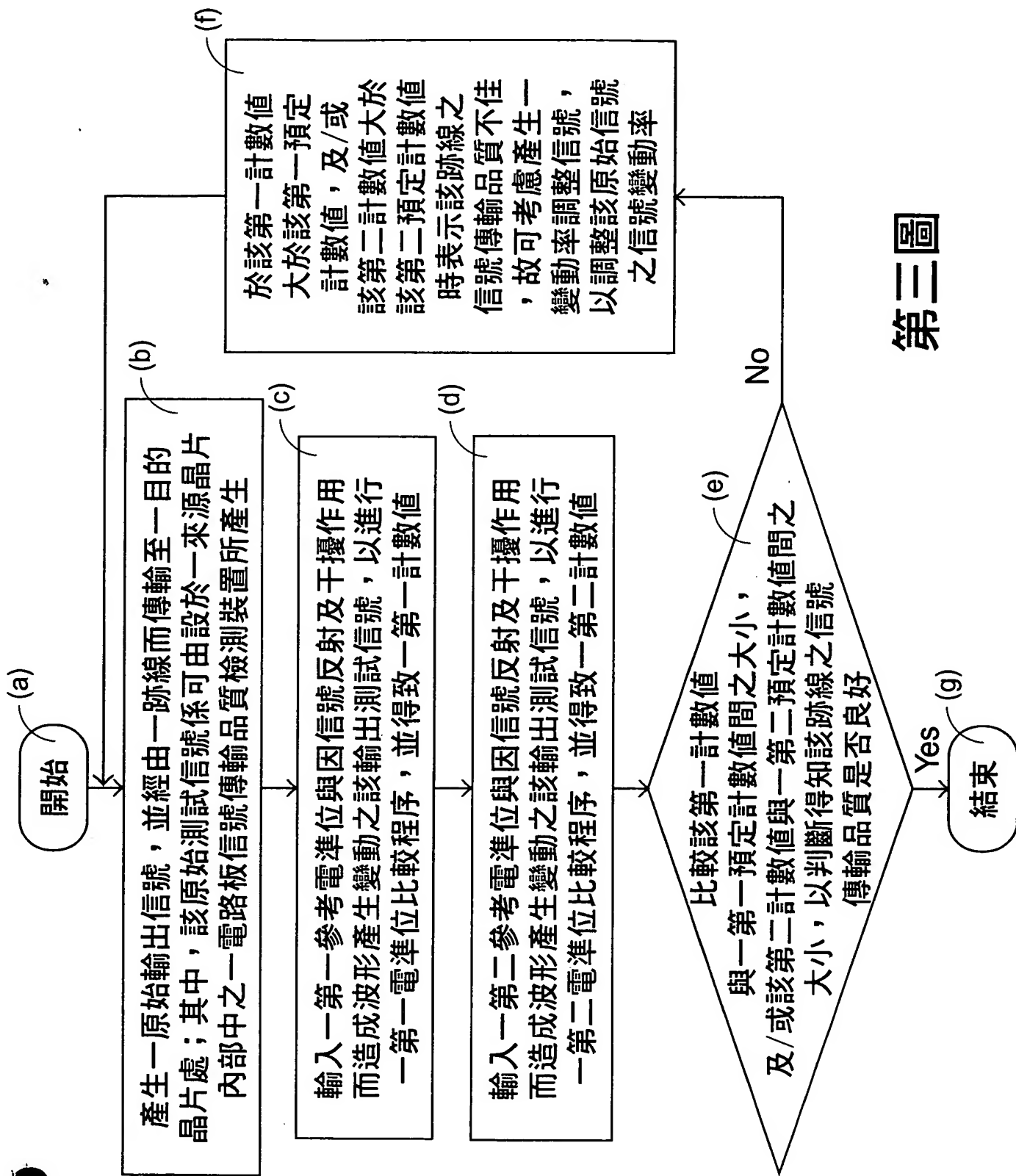
第二圖(a)



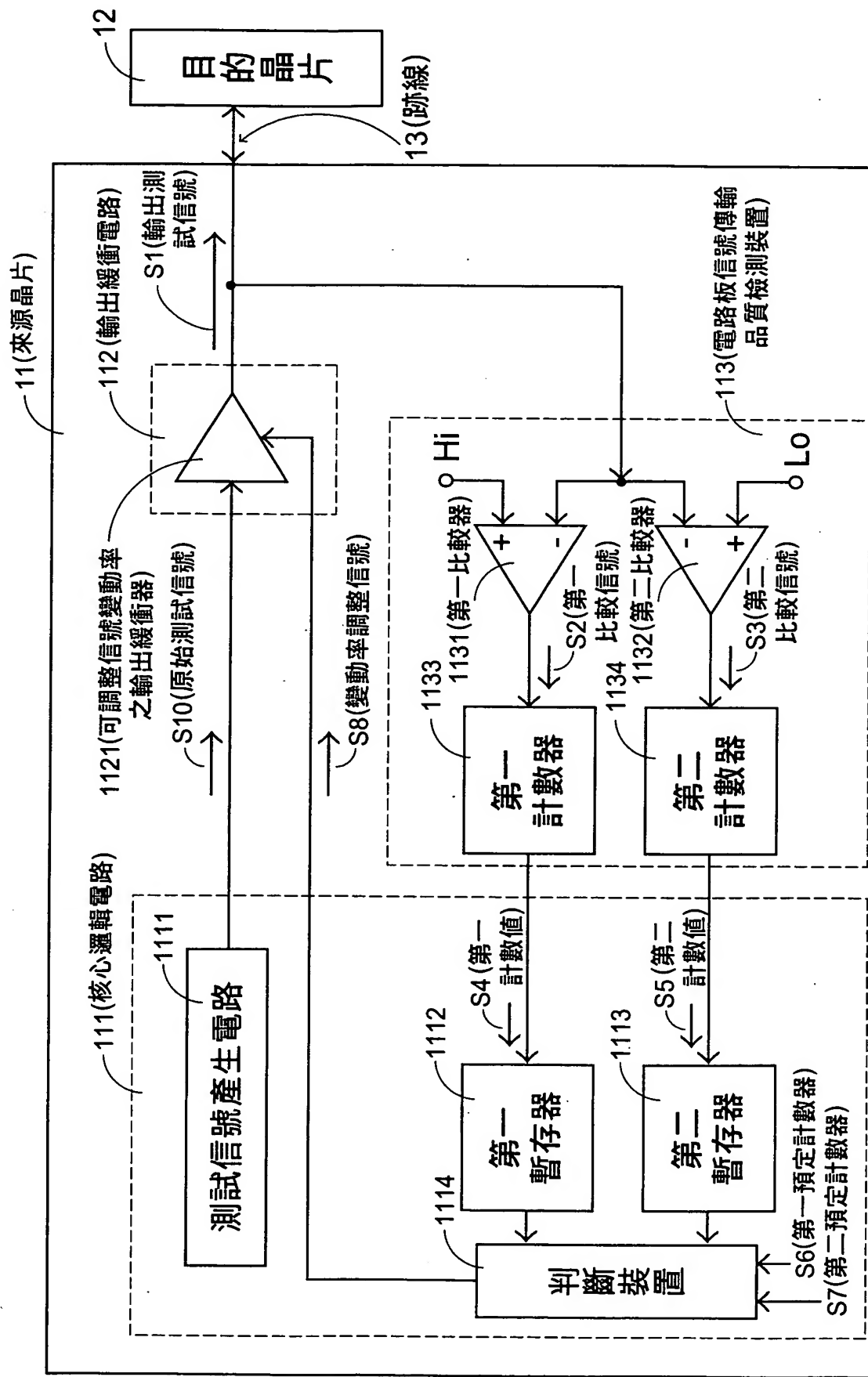
第二圖(b)



第二圖(c)



第三圖



第四圖